

Patent



IFW

Customer No. 31561
Application No.: 10/711,568
Docket No.13216-US-PA

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Applicant : Chang
Application No. : 10/711,568
Filed : Sep 24, 2004
For : SEPARATED POWER ESD PROTECTION CIRCUIT AND
INTEGRATED CIRCUIT THEREOF
Examiner : N/A
Art Unit : 2831

ASSISTANT COMMISSIONER FOR PATENTS
Arlington, VA22202

Dear Sir:

Transmitted herewith is a certified copy of Taiwan Application No.: 93118054,
filed on: 2004/6/23.

A return prepaid postcard is also included herewith.

Respectfully Submitted,
JIANQ CHYUN Intellectual Property Office

Dated: Dec. 21, 2004

By: Belinda Lee
Belinda Lee
Registration No.: 46,863

Please send future correspondence to:

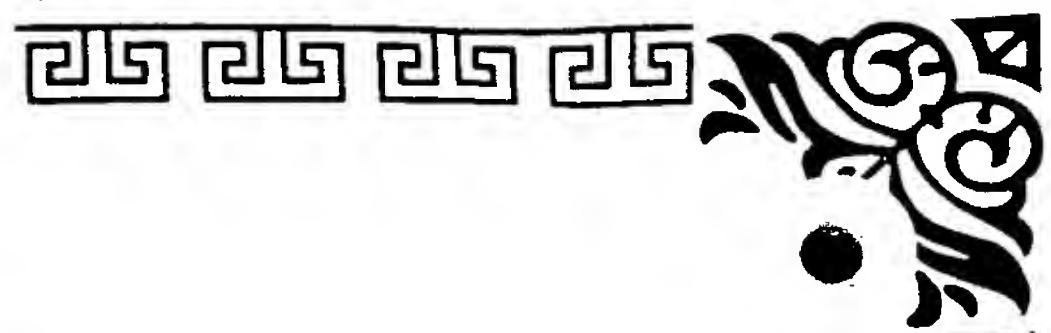
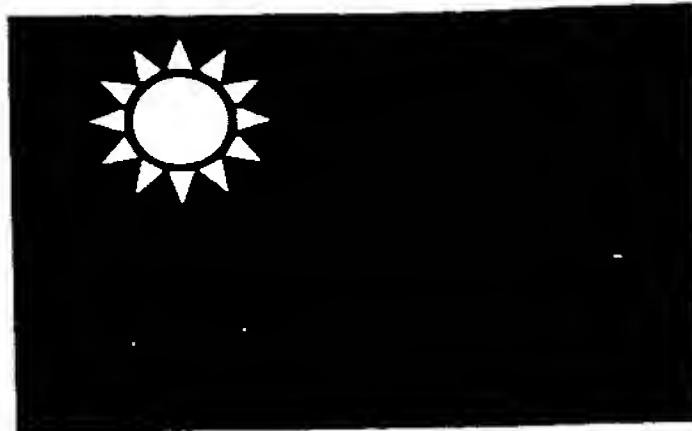
7F-1, No. 100, Roosevelt Rd.,

Sec. 2, Taipei 100, Taiwan, R.O.C.

Tel: 886-2-2369 2800

Fax: 886-2-2369 7233 / 886-2-2369 7234

E-MAIL: BELINDA@JCIPGroup.com.tw; USA@JCIPGroup.com.tw



中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this office of the application as originally filed which is identified hereunder:

申請日：西元 2004 年 06 月 23 日
Application Date

申請案號：093118054 CERTIFIED COPY OF
Application No. PRIORITY DOCUMENT

申請人：聯詠科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2004 年 9 月 日
Issue Date

發文字號：09320874120
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

※ 申請日期：

※IPC 分類：

壹、發明名稱：(中文/英文)

分離電源式靜電放電保護電路以及使用此電路之積體電路 / SEPARATED POWER ESD PROTECTION CIRCUIT AND INTEGRATED CIRCUIT USING THE SAME

貳、申請人：(共1人)

姓名或名稱：(中文/英文)

聯詠科技股份有限公司/NOVATEK MICROELECTRONICS CORP.

代表人：(中文/英文) 何泰舜/ HO, TAI-SHUNG

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹縣創新一路 13 號 2 樓/NO. 1-2, INNOVATION ROAD I,
SCIENCE-BASED INDUSTRIAL PARK, HSINCHU, TAIWAN, R. O. C.

國籍：(中文/英文) 中華民國/TW

參、發明人：(共1人)

姓名：(中文/英文)

張智毅/CHANG, CHYH-YIH

住居所地址：(中文/英文)

台北縣新莊市中和街 125 巷 20 號 9 樓/9F., NO. 20, LANE 125, JHONGHE ST.,
SINJHUANG CITY, TAIPEI COUNTY 242, TAIWAN (R. O. C.)

國籍：(中文/英文) 中華民國/TW

肆、聲明事項：

本案係符合專利法第二十條第一項第一款但書或第二款但書規定

之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1.

2.

3.

4.

5.

主張國內優先權(專利法第二十五條之一)：

【格式請依：申請日；申請案號數 順序註記】

1.

2.

主張專利法第二十六條微生物：

國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

一種分離電源式靜電放電保護電路，耦接於第一電源供應線與第二電源供應線之間。分離電源式靜電放電保護電路包括：第一二極體，具有陽極與陰極，其中陽極耦接至第一電源供應線；第一金屬氧化物半導體元件，具有閘極、源極與汲極，其中汲極耦接至第一二極體之陰極且源極耦接至該第二電源供應線；以及第二二極體，具有陽極與陰極，其中陽極耦接至第二電源供應線，陰極耦接至第一電源供應線。第一二極體與第一金屬氧化物半導體元件構成具有寄生矽控整流器之結構，以在靜電放電產生時，提供靜電放電路徑。

陸、英文發明摘要：

Title of the Invention:

A separated power ESD protection circuit is provided to be coupled between a first and a second power supply buses. The separated power ESD protection circuit includes a first diode having a anode and a cathode in which the anode is connected to the first power supply bus; a MOS transistor with a source connected to the second power supply bus; and a second diode whose anode is connected to the second power supply bus and cathode is connected to the first power supply bus. The first diode and the MOS transistor forms a parasitic silicon-controlled rectifier to provide a discharge path in an ESD event.

柒、指定代表圖：

- (一)本案指定代表圖為：第（5）圖。
- (二)本代表圖之元件代表符號簡單說明：

D_{a1}、D_{b1} 二極體

M_{n1} 電晶體

TA、TC 端子

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

玖、發明說明：

【發明所屬之技術領域】

本發明是有關於一種靜電放電保護電路，且特別是有關於一種分離電源靜電放電保護電路。

【先前技術】

在積體電路中，因人體等之觸碰而產生的靜電往往會經過積體電路晶片的輸出入接腳進入到內部電路。靜電通常也是很大的電壓脈波，瞬間的高電壓會對於積體電路之內部電路造成損壞，使積體電路的功能失效，甚至毀損。因此，在輸出入端子與內部電路之間往往會配置所謂的靜電放電保護電路 (electrostatic discharge protection circuit, ESD protection circuit)，使產生的靜電能經由靜電放電保護電路提供的放電路徑，被導引到積體電路電源供應線。

在混合模式訊號積體電路 IC 中，亦即內部包含類比電路與數位電路的混合積體電路 IC 中，為了雜訊的因素，類比電路與數位電路個別所使用的電源供應線通常是分離的。因為此種分離電源線的設計，數位電路中因為快速狀態轉移而在數位電源供應線上產生的雜訊，不會被傳遞到類比電路的電源供應線上。圖 1 繪示此種架構的習知靜電放電保護電路。如圖 1 所示，在一個 I/O 接腳至 I/O 接腳或電源接腳至電源接腳的 ESD 事件下，ESD 電流無法僅通過 IC 中最寬金屬線的一條電源線。當遇到兩分離電源線之間的介面時，ESD 電流會通過最脆弱的路徑。通常，內部損壞會發生在介面電路。因此，

分離電源線匯流排的設計會損及 IC 產品的強韌性 (robustness)。

圖 2 繪示一種充電元件模型 (Charged-Device Model, CDM) 的靜電保護電路。此種架構也會在分離電源的 IC 產品中遇到很大的問題。在 CDM 的 ESD 事件中，靜電荷一開始會儲存在 IC 的基體 (bulk)，之後再被放電到連接於接地的焊墊 (pad)。此種習知的 CDM ESD 保護電路提供兩種路徑，其一是經由 CDM 箔制電路，其二是經由連接於兩條電源供應線 (VDD_I/O 與 VDD_Internal，以及 VSS_I/O 與 VSS_Internal) 之間的雙向二極體串。如果沒此雙向二極體串，在高 ESD 電流下，某些 CDM 電流會破壞輸入閘氧化層。

圖 3 為美國專利 US6,075,686 所揭露的靜電放電保護電路結構。此電路係在第一電源供應線與第二電源供應線之間配置反向並列連接的二極體串。此外，圖 4 為美國專利 US6,040,968 所揭露的靜電放電保護電路結構。此電路係在第一電源供應線與第二電源供應線之間配置反向並列連接的二極體。但是此種使用二極體還是不能夠提供有效率的靜電放電保護措施。

【發明內容】

因此，本發明之目的係提出一種分離電源式靜電放電保護電路，使有效地解決混合式 IC 中相同極性不同電源線之間的靜電放電保護。

本發明之另一目的本發明係提出一種使用此電路之

積體電路，其用以解決混合式 IC 中相同極性不同電源線之間的靜電放電保護。

為達成上述與其他目的，本發明提出一種分離電源式靜電放電保護電路，耦接於第一電源供應線與第二電源供應線之間。分離電源式靜電放電保護電路包括：第一二極體，具有陽極與陰極，其中陽極耦接至第一電源供應線；第一金屬氧化物半導體元件，具有閘極、源極與汲極，其中汲極耦接至第一二極體之陰極且源極耦接至第二電源供應線；以及第二二極體，具有陽極與陰極，其中陽極耦接至第二電源供應線，陰極耦接至第一電源供應線。第一二極體與該第一金屬氧化物半導體元件構成具有寄生矽控整流器之結構，以提供靜電放電路徑。

依據本發明之一實施例，前述分離電源式靜電放電保護電路可以更包括第二金屬氧化物半導體元件，具有閘極、源極與汲極。汲極耦接至第二二極體之陰極且源極耦接至第一電源供應線，使第二二極體與第二金屬氧化物半導體元件構成具有寄生矽控整流器之結構。如此在雙向，從第一至第二電源供應線或第二至第一電源供應線均可以提供具有寄生矽控整流器之結構之放電路徑。

依據本發明之一實施例，在前述分離電源式靜電放電保護電路中，第一金屬氧化物半導體元件可以是 N 型或 P 型金屬氧化物半導體元件。此外，在另一實施例中，第一與第二金屬氧化物半導體元件可以為 N 型或 P 型金屬氧化物半導體元件。

此外，本發明更提供一種分離電源式靜電放電保護電路，耦接於第一電源供應線與第二電源供應線之間。分離電源式靜電放電保護電路包括：複數個第一二極體，分別具有陽極與陰極，彼此串聯連接。其中第一個第一二極體的陽極耦接至第一電源供應線；第一金屬氧化物半導體元件，具有閘極、源極與汲極，其中汲極耦接至最後一個第一二極體之陰極且源極耦接至第二電源供應線；以及複數個第二二極體，分別具有陽極與陰極，彼此串聯連接，其中第一個該第二二極體的陽極耦接至第二電源供應線，而最後一個第二二極體的陰極耦接至第一電源供應線。這些第一二極體與該第二金屬氧化物半導體元件構成具有寄生矽控整流器之結構，以提供一靜電放電路徑。

依據本發明一實施例，前述之分離電源式靜電放電保護電路可以更包括第二金屬氧化物半導體元件，具有閘極、源極與汲極。汲極耦接至最後一個第二二極體之陰極且源極耦接至第一電源供應線，使該些第二二極體與第二金屬氧化物半導體元件構成具有寄生矽控整流器之結構，以提供一靜電放電路徑。如此在雙向，從第一至第二電源供應線或第二至第一電源供應線均可以提供具有寄生矽控整流器之結構之放電路徑。

依據本發明一實施例，前述之分離電源式靜電放電保護電路中，第一金屬氧化物半導體元件可為 N 型或 P 型金屬氧化物半導體元件。在另一實施例中，第一與第二金屬氧化物半導體元件可為 N 型或 P 型金屬氧化物半

導體元件。

本發明更提出一種積體電路，用以保護第一與第二內部電路免受靜電放電破壞。第一內部電路耦接於第一高電源供應線與第一低電源供應線之間，第二內部電路耦接於第二高電源供應線與第二低電源供應線之間。第一與該第二高電源供應線係彼此隔離且第一與第二低電源供應線係彼此隔離。第一與該第二高電源供應線間具有壓差，且第一與第二低電源供應線間具有壓差。積體電路包括第一靜電放電保護電路，耦接於第一高電源供應線與第一低電源供應線之間；第二靜電放電保護電路，耦接於第二高電源供應線與第二低電源供應線之間；第三靜電放電保護電路，耦接於第一高電源供應線與第二高電源供應線之間，用以當靜電放電出現在第一或第二高電源供應線時，選擇性地連接第一高電源供應線與第二高電源供應線，其中第三靜電放電保護電路至少包括彼此串聯之第一二極體串與第一金屬氧化物半導體電晶體，以及第二二極體串，反向並聯於該第一二極體串與第一金屬氧化物半導體電晶體，其中當第一二極體串與第一金屬氧化物半導體電晶體因靜電放電現象啓動時，形成寄生矽控整流器，以提供一放電路徑；以及第四靜電放電保護電路，耦接於第一低電源供應線與第二低電源供應線之間，用以當靜電放電出現在第一或第二低電源供應線時，選擇性地連接該第一低電源供應線與該第二低電源供應線，其中第四靜電放電保護電路至少包括彼此串聯之第三二極體串與第二金屬氧化物半導

體電晶體，以及第四二極體串，反向並聯於第三二極體串與第二金屬氧化物半導體電晶體，其中當第三二極體串與第二金屬氧化物半導體電晶體因靜電放電現象啓動時，形成一寄生矽控整流器，以提供一放電路徑。

依據本發明之一實施例，前述積體電路的第一與該第二金屬氧化物半導體電晶體為 N 型或 P 型兩者之一。

依據本發明之一實施例，前述積體電路的第三靜電放電保護電路之第一與第二二極體串分別至少為一個二極體，且第四靜電放電保護電路之第三與第四二極體串分別至少為一個二極體。依據本發明之一實施例，第一與第二二極體串之串聯個數由第一高電源供應線與第二高電源供應線之壓差決定。第三與第四二極體串之串聯個數由第一低電源供應線與第二低電源供應線之壓差決定。

依據本發明之一實施例，前述積體電路中之第三靜電放電保護電路可以更包括第三金屬氧化物半導體電晶體，與第二二極體串串聯。第一與第三金屬氧化物半導體電晶體分別耦接到第二與第一高電源供應線，並且第四靜電放電保護電路可以更包括第四金屬氧化物半導體電晶體，與第四二極體串串聯。第二與第四金屬氧化物半導體電晶體分別耦接到第二與第一低電源供應線。

依據本發明之一實施例，第一至第四金屬氧化物半導體電晶體可為 N 型或 P 型兩者之一。

依據本發明之一實施例，前述積體電路可以更包括：第一輸入靜電放電保護電路，耦接於第一內部電路、

第一內部電路之輸入焊墊、第一高電源供應線以及第一低電源供應線之間；以及第二輸入靜電放電保護電路，耦接於第二內部電路、第二內部電路之輸入焊墊、第二高電源供應線以及第二低電源供應線之間。

為讓本發明之上述目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

圖 5 繪示本發明之分離電源靜電放電保護電路。如圖 5 所示，分離電源靜電放電保護電路包括兩個二極體 Da1、Db1 與金屬氧化物半導體(MOS)電晶體 Mn1。二極體 Da1 的陽極連接到端點 TA，陰極連接到 NMOS 電晶體 Mn1 的汲極。NMOS 電晶體 Mn1 的源極連接到另一端子 TC，二極體 Db1 與二極體 Da1 和 NMOS 電晶體 Mn1 之串聯反向並聯連接。二極體 Db1 之陽極連接到端子 TC，陰極連接到端子 TA，進而二極體 Da1 之陽極。端子 TA 與 TC 則分別連接到不同的電源供應線，例如兩個高電源供應線，或者是例如是接地的兩低電源供應線。

圖 6 繪示圖 5 之分離電源靜電放電保護電路的部分剖面示意圖，即圖 6 繪出將分離電源靜電放電保護電路以半導體積體電路來實施時的電路示意圖。如圖 6 所示，剖面圖為沿著二極體 Da1 與電晶體 Mn1 之剖面圖例，熟悉此技藝者可以對應畫出二極體 Db1 部分。如圖 6 所示，提供一基底 100，此基底可為 P 型基底。在此基底

100 上，具有 N 型井區 102 與 P 型井區 104。在 N 型井區中，分別形成做為二極體 Da1 之陽極與陰極的 P 型摻雜區 112 與 N 型摻雜區 114，其間以隔離結構 106 分離。此隔離結構 106 可以是場氧化(field oxidation FOD)隔離結構或淺溝渠隔離結構等。在 P 型井區 104 中，分別形成做為 NMOS 電晶體 Mn1 之汲極與源極的 N 型摻雜區 122、126，兩者中間為通道區，其上則形成 NMOS 電晶體 Mn1 之間電極 128。P 型拾取摻雜區 130 則緊鄰 N 型摻雜區 126，做為電壓拾取之用。汲極之 N 型摻雜區 122 則與二極體之 N 型摻雜區 114 以隔離結構 106 隔離。

在圖 6 中，P 型摻雜區 112(二極體 Da1 之陽極)、N 型井 102、P 型基底 100、P 型井 104、N 型摻雜區 126/P 型井拾取摻雜區 130 等構成一個矽控整流器(silicon-controlled rectifier)。本發明即利用串聯之二極體與 MOS 電晶體，以及此架構所寄生存在之矽控整流器來達到靜電放電保護電路的動作。此寄生矽控整流器在 ESD 電流產生時會被啓動，以形成放電路徑。

參考圖 5 與圖 6，在正常的操作下，二極體 Db1 在端子 TC 至端子 TA 的路徑上提供一個二極體截止電壓(cut-in voltage)的電壓隔離能力。假如在端子 TC 的雜訊電壓小於二極體 Db1 的截止電壓時，雜訊便不會經由靜電放電保護電路之二極體 Db1 到達端子 TA 處。反之，如在端子 TC 的雜訊電壓大於二極體 Db1 的截止電壓時，雜訊便會經由靜電放電保護電路之二極體 Db1 到達端子 TA 處。

此外，在正常操作下，二極體 Da1 也提供一個二極體截止電壓的電壓隔離能力，NMOS 電晶體 Mn1 則在端子 TA 至端子 TC 的路徑上提供一個約數百至數千歐姆的電阻。NMOS 電晶體 Mn1 在正常操作下所提的電阻可以降低經過 NMOS 電晶體 Mn1 的雜訊準位。換句話說，可利用控制 NMOS 電晶體 Mn1 的閘極電壓位準，以達到不同的隔離能力。例如提供一高電壓於閘極，可使 NMOS 電晶體 Mn1 的汲極到源極間的等效電阻為數百到數千歐姆。此外，例如提供一低電位於閘極時，則 NMOS 電晶體 Mn1 之源極與汲極間幾乎可等效為斷路，使其阻抗高達 10 的 9 次方歐姆以上。

當有靜電放電事件發生時，例如靜電放電在端子 TC 產生，而端子 TA 是連接到相對的接地端時，NMOS 電晶體 Mn1 為關閉，二極體 Db1 則為順向偏壓，於是靜電放電電流便從端子 TC，經由二極體 Db1 快速地被導引到接地的端子 TA。

其次，當靜電放電在端子 TA 產生，而端子 TC 是連接到相對的接地端時，此時的放電路徑與機制可以由圖 7 來加以說明。圖 7 為用來說明本發明分離電源靜電放電保護電路之動作原理的剖面圖示。本發明的原理係利用圖 5 與 6 所示之電路的寄生矽控整流器來達到靜電放電保護之作用。如圖 7 所示，當靜電放電在端子 TA 產生時，一開始，二極體 Da1 為順向偏壓，施加在 NMOS 電晶體 Mn1 之閘極的電壓 Vg1 導通 NMOS 電晶體 Mn1。此時，起始電流會沿著路徑①流入經過二極體 Da1 而到

達 NMOS 電晶體 Mn1。配合圖 5，電流從端子 TA 流入二極體 Da1 之陽極(圖 7 的 P 型參雜區 112)，經過 N 型井 102，到達二極體 Da1 的陰極(圖 7 的 N 型參雜區 114)。之後，再經由 N 型參雜區 114 到達 NMOS 電晶體 Mn1 的汲極(圖 7 的 N 型參雜區 122)，經通到到達 NMOS 電晶體 Mn1 的源極(圖 7 的 N 型參雜區 126)，再到達端子 TC。

此起始電流會觸發寄生的矽控整流器，使 ESD 電流經由路徑②流到端子 TC。在起始電流 I 由端子 TA 經路徑①流到端子 TC 後，寄生的矽控整流器便被啟動，使得靜電放電電流經圖 7 之 P 型參雜區 112、N 型井 102、P 型基底 100、P 型井 104、N 型摻雜區 126(NMOS 電晶體 Mn1 的源極)，而到達端子 TC。

圖 8 繪示本發明分離電源靜電放電保護電路的另一種實施方式。如圖 8 所示，圖 8 的電路基本上為圖 5 的變化。亦即，將圖 5 中之端子 TA 至端子 TC 的電路組合複製到端子 TC 至端子 TA 的位置，亦即在原來反向並聯的二極體 Db1 的陰極與端子 TA 之間插入 NMOS 電晶體 Mn2。如此，端子 TA 至端子 TC 以及端子 TC 至端子 TA 為兩個對稱的電路結構。其操作方式與動作原理與上述相同，在此便不多做贅述。在圖 8 的架構中，對於從端子 TA 至端子 TC 以及從端子 TC 至端子 TA 的兩個靜電放電路徑，均是利用二極體與電晶體所構成的寄生矽控整流器結構以做為靜電放電路徑，而圖 5 只由有從端子 TA 至端子 TC 為利用二極體與電晶體所構成的寄生矽控

整流器結構以做爲靜電放電路徑。

圖 9 繪示圖 5 之分離電源靜電放電保護電路的另一種實施方式。在圖 9 中，將圖 5 中的 NMOS 電晶體 Mn1 變更爲 PMOS 電晶體 Mp1。其操作方式與動作原理與上述相同，在此便不多做贅述。圖 9 與圖 5 之差異爲 PMOS 電晶體 Mp1 所產生。此時，要把圖 6 原本 NMOS 電晶體所在之 P 型井區 104、N 型摻雜區 122、126 與 P 型拾取摻雜區 130，更換成 N 型井區、P 型摻雜區與 N 型拾取摻雜區，而使寄生矽控整流器變成 P 型摻雜區(二極體 Da1 的陽極、N 型井區、P 型基底、N 型井區(PMOS 電晶體)與 N 型拾取摻雜區。

圖 10 繪示本發明靜電放電保護電路的另一種實施例，此實施例爲圖 8 的變化例。亦即將圖 8 中的兩個 NMOS 電晶體 Mn1、Mn2 變更爲 PMOS 電晶體 Mp1、Mp2，除此之外，操作方式與原理幾乎相同。當然，在構成從端子 TA 至端子 TC 以及從端子 TC 至端子 TA 的兩個靜電放電路徑中，二極體與電晶體所構成的寄生矽控整流器結構的摻雜型態要略做對應修正。

圖 11 繪示本發明靜電放電保護電路的另一種實施例，此實施例爲圖 8 的變化例。在圖 8 中，從端子 TA 至端子 TC 以及從端子 TC 至端子 TA 的兩個靜電放電路徑均由一個二極體與一個 NMOS 電晶體串聯而構成，而圖 11 之結構則是由兩個二極體與一個 NMOS 電晶體串聯而構成。此種變化架構的概念是導致於連接在端子 TA 與端子 TC 上的電源供應線之壓差。亦即，根據連接在

端子 TA 與端子 TC 上之電源供應線的壓差大小以及每個二極體之截止電壓的大小(約 0.4 至 0.6V)，可以自由地調整二極體的串接個數。亦即，假如端子 TA 與端子 TC 上之電源供應線的壓差大小約為兩個二極體截止電壓之合時，便可以串接兩個二極體，而成為圖 11 之電路結構。除此之外，操作方式與原理幾乎相同，故在此也省略其操作原理的說明。圖 12 則是繪示圖 11 之變化例，改變的地方僅為將 NMOS 電晶體 Mn1、Mn2 變更為 PMOS 電晶體 Mp1、Mp2，其餘的操作則與上述相同，在此不多做贅述。圖 13 則是繪出串接複數個二極體的例子，串接個數以端子 TA 與端子 TC 上之電源供應線的壓差大小來決定。圖 13 所示之 NMOS 電晶體也可以 PMOS 電晶體來替換。

接著，列舉數例來說明將本發明的靜電放電保護電路應用在實際積體電路中的情形，特別是具有不同電源供應線之積體電路結構。

圖 14 繪示應用本發明之分離電源靜電放電保護電路的第一應用例。如圖 14 所示，本發明的分離電源靜電放電保護電路 210、212 係配置在第一內部電路 202 與第二內部電路 204 之間。分離電源靜電放電保護電路 210 係由二極體 Da21、Db21 與 NMOS 電晶體 Mn21 所構成，分離電源靜電放電保護電路 212 係由二極體 Da11、Db11 與 NMOS 電晶體 Mn11 所構成，兩者均架構成如圖 5 之結構。

前述第一內部電路可以例如是數位電路，而第二內

部電路可以例如是類比電路。第一內部電路 202 耦接於第一高電源供應線 VDD1 與第一低電源供應線 VSS1，第一低電源供應線 VSS1 為一相對低的電壓源，如接地電壓等，而第一高電源供應線 VDD1 則是相對高於第一低電源供應線 VSS1 的電壓源；同理，第二內部電路 204 耦接於第二高電源供應線 VDD2 與第二低電源供應線 VSS2，第一低電源供應線 VSS2 也是一相對低的電壓源。分離電源靜電放電保護電路 210 配置在第一高電源供應線 VDD1(前述的 TA 端)與第二高電源供應線 VDD2(前述的 TC 端)之間，分離電源靜電放電保護電路 212 配置在第一低電源供應線 VSS1(前述的 TA 端)與第二低電源供應線 VSS2(前述的 TC 端)之間。

輸入墊(input pad)206 耦接到第一內部電路 202，並連接到二極體 Dp1 之陽極而到達第一高電源供應線 VDD1，且連接到二極體 Dn1 之陰極而到達第一低電源供應線 VSS1。輸入墊 208 耦接到第二內部電路 204，並連接到二極體 Dp2 之陽極而到達第二高電源供應線 VDD2，且連接到二極體 Dn2 之陰極而到達第二低電源供應線 VSS2。此外，由 PMOS 電晶體 Mp1 與 NMOS 電晶體 Mn1 構成的反相器連接於分離電源靜電放電保護電路 210、212 之 TA 端(第一高電源供應線 VDD1 與第一低電源供應線 VSS1)與第一內部電路 202 之間，由 PMOS 電晶體 Mp2 與 NMOS 電晶體 Mn2 構成的反相器連接於分離電源靜電放電保護電路 210、212 之 TC 端(第二高電源供應線 VDD2 與第二低電源供應線 VSS2)與第二內

部電路 204 之間。

此外，在連接第一內部電路 202 的第一高電源供應線 VDD1 與第一低高電源供應線 VSS1 之間也配置靜電放電保護電路 214。同理，在連接第二內部電路 204 的第二高電源供應線 VDD2 與第二低高電源供應線 VSS2 之間也配置靜電放電保護電路 216。配置靜電放電保護電路 214、216 是分別提供給第一內部電路 202 與第二內部電路 204 內之高電源供應線至低電源供應線(VDD1 至 VSS1，VDD2 至 VSS2)的靜電放電保護電路。

一般而言，控制 NMOS 電晶體 Mn1 的閘極電壓位準，可以達到不同的隔離能力。例如提供一高電壓於閘極，可使 NMOS 電晶體 Mn1 的汲極到源極間的等效電阻為數百到數千歐姆。此外，提供一低電位於閘極時，則 NMOS 電晶體 Mn1 為關閉狀態，其源極與汲極間幾乎可等效為斷路。在正常操作下，電源供應線 VDD1 或 VDD2 上的雜訊需要大於一個臨界的電壓，以使電源供應線 VDD1 與 VDD2 耦合，否則雜訊將被隔離，使兩電源供應線 VDD1 與 VDD2 被隔離。而在雜訊很高的情形下，可以增加串接的二極體數目。電源供應線 VSS1 與 VSS2 在正常操作下也有類似情形。

以分離電源靜電放電保護電路 210 為例，在正常的操作下，二極體 Db21 在第二高電源供應線 VDD2(TC 端)至第一高電源供應線 VDD1(TA 端)的路徑上提供一個二極體截止電壓的電壓隔離能力。假如在第二高電源供應線 VDD2 的雜訊電壓小於二極體 Db21 的截止電壓時，

雜訊便不會經由二極體 Db21 到達第一高電源供應線 VDD1。反之，如在在第二高電源供應線 VDD2 的雜訊電壓大於二極體 Db21 的截止電壓時，雜訊便會經由二極體 Db21 到達第一高電源供應線 VDD1。此外，在正常操作下，二極體 Da21 也提供一個二極體截止電壓的電壓隔離能力，NMOS 電晶體 Mn21 則在第一高電源供應線 VDD1 至第二高電源供應線 VDD2 的路徑上提供一個約數百至數千歐姆的電阻。NMOS 電晶體 Mn21 在正常操作下所提的電阻可以降低經過 NMOS 電晶體 Mn21 的雜訊準位。

以分離電源靜電放電保護電路 212 為例，在正常的操作下，二極體 Db11 在第二低電源供應線 VSS2(TC 端)至第一低電源供應線 VSS1(TA 端)的路徑上提供一個二極體截止電壓的電壓隔離能力。假如在第二低電源供應線 VSS2 的雜訊電壓小於二極體 Db11 的截止電壓時，雜訊便不會經由二極體 Db11 到達第一低電源供應線 VSS1。反之，如在在第一高電源供應線 VSS2 的雜訊電壓大於二極體 Db11 的截止電壓時，雜訊便會經由二極體 Db11 到達第一低電源供應線 VSS1。此外，在正常操作下，二極體 Da11 也提供一個二極體截止電壓的電壓隔離能力，NMOS 電晶體 Mn11 則在第一低電源供應線 VSS1 至第二低電源供應線 VSS2 的路徑上提供一個約數百至數千歐姆的電阻。NMOS 電晶體 Mn11 在正常操作下所提的電阻可以降低經過 NMOS 電晶體 Mn11 的雜訊準位。

接著說明靜電放電事件產生時的狀況。當一正靜電放電電壓施加在輸入墊 206 時，而電源供應線 VSS2 為接地時，施加在輸入墊 206 的靜電放電電壓會使二極體 Dp1 而導通，靜電放電電流會從第一高電源供應線 VDD1 經過靜電放電保護電路 214，流到第一低電源供應線 VSS1，之後再經過分離電源靜電放電保護電路 212 流到第二低電源供應線 VSS2。當靜電放電電壓傳遞到第一低電源供應線 VSS1 時，在一開始時，分離電源靜電放電保護電路 212 之二極體 Da11 為順向偏壓，而 NMOS 電晶體 Mn11 處於導通狀態。此時，二極體 Da11 與 NMOS 電晶體 Mn11 構成的寄生矽控整流器會被啓動。靜電放電電流於是沿著寄生矽控整流器所提供的路徑，由第一低電源供應線 VSS1 流到第二低電源供應線 VSS2。此機制可參考圖 7 的說明。其次，施加在輸入墊 206 的靜電放電電壓會讓二極體 Dp1 順向偏壓，使靜電放電電壓被傳遞到第一高電源供應線 VDD1。在此時，分離電源靜電放電保護電路 210 之二極體 Da11 為順向偏壓，而 NMOS 電晶體 Mn11 處於導通狀態。此時，二極體 Da21 與 NMOS 電晶體 Mn21 構成的寄生矽控整流器會被啓動。靜電放電電流於是沿著寄生矽控整流器所提供的路徑，由第一高電源供應線 VDD1 流到第二低電源供應線 VDD2。之後，再從靜電放電保護電路 216 流至第二低電源供應線 VSS2。當施加到輸入墊之靜電放電電壓為負時，其所經過的路徑與上述相反。

此外，當一正靜電放電電壓施加在輸入墊 208 時，

而電源供應線 VSS1 為接地時，首先施加在輸入墊 208 的靜電放電電壓會使二極體 Dp2 而導通，靜電放電電流會從第二高電源供應線 VDD2 經過靜電放電保護電路 216 流到第二低電源供應線 VSS2，之後再經過分離電源靜電放電保護電路 212 流到第一低電源供應線 VSS1。當靜電放電電壓傳遞到第二低電源供應線 VSS2 時，會使二極體 Db11 順向偏壓而導通，靜電放電電流便由第二低電源供應線 VSS2 流到第一低電源供應線 VSS1。其次，靜電放電電壓經二極體 Dp2 傳遞到第二高電源供應線 VDD2 時，會使分離電源靜電放電保護電路之二極體 Db21 順向偏壓而導通，靜電放電電流便由第二高電源供應線 VDD2 流到第一高電源供應線 VDD1。之後，再經由靜電放電保護電路 214 流至第一低電源供應線 VSS1。當施加到輸入墊之靜電放電電壓為負時，其所經過的路徑與上述相反。

圖 15 繪示應用本發明之分離電源靜電放電保護電路的第一應用例。如圖 15 所示，圖 15 與圖 14 的差異點在於分離電源靜電放電保護電路 210、212 之 TC 端至 TA 端的二極體 Db11、Db21 分別在插入 NMOS 電晶體 Mn22、Mn21。因此，在操作上，從 TA 端至 TC 端的放電機制與圖 14 相同外，TC 端至 TA 端的放電機制也是與 TA 端至 TC 端相同。換句話說，電源供應線 VDD1 與 VDD2 之間以及電源供應線 VSS1 與 VSS2 之間均是利用二極體與電晶體所構成的矽控整流器架構來達成。圖 15 之操作基本上與圖 14 相同，故在此不多加贅述。

圖 16 繪示應用本發明之分離電源靜電放電保護電路的第一應用例。如圖 16 所示，圖 16 與圖 14 的差異點在於分離電源靜電放電保護電路 210、212 之 NMOS 電晶體 Mn22、Mn21 被替換成 PMOS 電晶體 Mp11、Mp21。因此，操作上基本與圖 14 之方式類似，可以參考圖 9 之說明，故在此不多加贅述。

綜上所述，雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 繪示習知分離電源線的靜電放電保護電路。

圖 2 繪示習知一種電荷元件模型的靜電保護電路。

圖 3 繪示美國專利 US6,075,686 所揭露的靜電放電保護電路結構圖。

圖 4 繪示美國專利 US6,040,968 所揭露的靜電放電保護電路結構圖。

圖 5 繪示本發明之分離電源靜電放電保護電路。

圖 6 繪示圖 5 之分離電源靜電放電保護電路的部分剖面示意圖。

圖 7 為用來說明本發明分離電源靜電放電保護電路之動作原理的剖面圖示。

圖 8 繪示本發明靜電放電保護電路的另一種實施例。

圖 9 繪示本發明靜電放電保護電路的另一種實施例。

圖 10 繪示本發明靜電放電保護電路的另一種實施例。

圖 11 繪示本發明靜電放電保護電路的另一種實施例。

圖 12 繪示本發明靜電放電保護電路的另一種實施例。

圖 13 繪示本發明靜電放電保護電路的另一種實施例。

圖 14 繪示應用本發明之分離電源靜電放電保護電路的第一應用例。

圖 15 繪示應用本發明之分離電源靜電放電保護電路的第二應用例。

圖 16 繪示應用本發明之分離電源靜電放電保護電路的第三應用例。

【圖式標號說明】

Da1、Db1 二極體

Mn1 電晶體

TA、TC 端子

100 基底 102 N 型井區

104 P 型井區 104 106 隔離結構

112 P 型摻雜區 114 N 型摻雜區

122、126 N 型摻雜區

128 閘電極 130 P 型拾取摻雜區

202 第一內部電路 204 第二內部電路

206 輸入焊墊 208 輸入焊墊

210、212 分離電源式靜電放電保護電路

214、216 靜電放電保護電路

210a/b、212a/b 分離電源式靜電放電保護電路

拾、申請專利範圍：

1. 一種分離電源式靜電放電保護電路，耦接於一第一電源供應線與一第二電源供應線之間，該分離電源式靜電放電保護電路包括：

一第一二極體，具有一陽極與一陰極，其中該陽極耦接至該第一電源供應線；

一第一金屬氧化物半導體元件，具有一閘極、一源極與一汲極，其中該汲極耦接至該第一二極體之陰極且該源極耦接至該第二電源供應線；以及

一第二二極體，具有一陽極與一陰極，其中該陽極耦接至該第二電源供應線，該陰極耦接至該第一電源供應線，

其中該第一二極體與該第一金屬氧化物半導體元件構成具有寄生矽控整流器之結構，以提供一靜電放電路徑。

2. 如申請專利範圍第 1 項所述之分離電源式靜電放電保護電路，更包括一第二金屬氧化物半導體元件，具有一閘極、一源極與一汲極，其中該汲極耦接至該第二二極體之陰極且該源極耦接至該第一電源供應線，使該第二二極體與該第二金屬氧化物半導體元件構成具有寄生矽控整流器之結構。

3. 如申請專利範圍第 1 項所述之分離電源式靜電放電保護電路，其中該第一金屬氧化物半導體元件為 N 型金屬氧化物半導體元件。

4. 如申請專利範圍第 1 項所述之分離電源式靜電放

電保護電路，其中該第一金屬氧化物半導體元件為 P 型金屬氧化物半導體元件。

5.如申請專利範圍第 2 項所述之分離電源式靜電放電保護電路，其中該第一與該第二金屬氧化物半導體元件為 N 型金屬氧化物半導體元件。

6.如申請專利範圍第 2 項所述之分離電源式靜電放電保護電路，其中該第一與該第二金屬氧化物半導體元件為 P 型金屬氧化物半導體元件。

7.一種分離電源式靜電放電保護電路，耦接於一第一電源供應線與一第二電源供應線之間，該分離電源式靜電放電保護電路包括：

複數個第一二極體，分別具有一陽極與一陰極，彼此串聯連接，其中第一個該第一二極體的該陽極耦接至該第一電源供應線；

一第一金屬氧化物半導體元件，具有一閘極、一源極與一汲極，其中該汲極耦接至最後一個該第一二極體之陰極且該源極耦接至該第二電源供應線；以及

複數個第二二極體，分別具有一陽極與一陰極，彼此串聯連接，其中第一個該第二二極體的該陽極耦接至該第二電源供應線，而最後一個該第二二極體的該陰極耦接至該第一電源供應線，

該第一二極體與該第二金屬氧化物半導體元件構成具有寄生矽控整流器之結構，以提供一靜電放電路徑。

8.如申請專利範圍第 7 項所述之分離電源式靜電放電保護電路，更包括一第二金屬氧化物半導體元件，具

有一閘極、一源極與一汲極，其中該汲極耦接至最後一個該第二二極體之該陰極且該源極耦接至該第一電源供應線，使該第二二極體與該第二金屬氧化物半導體元件構成具有寄生矽控整流器之結構，以提供一靜電放電路徑。

9.如申請專利範圍第 7 項所述之分離電源式靜電放電保護電路，其中該第一金屬氧化物半導體元件為 N 型金屬氧化物半導體元件。

10.如申請專利範圍第 7 項所述之分離電源式靜電放電保護電路，其中該第一金屬氧化物半導體元件為 P 型金屬氧化物半導體元件。

11.如申請專利範圍第 8 項所述之分離電源式靜電放電保護電路，其中該第一與該第二金屬氧化物半導體元件為 N 型金屬氧化物半導體元件。

12.如申請專利範圍第 8 項所述之分離電源式靜電放電保護電路，其中該第一與該第二金屬氧化物半導體元件為 P 型金屬氧化物半導體元件。

13.一種積體電路，用以保護一第一與一第二內部電路免受靜電放電破壞，該第一內部電路耦接於一第一高電源供應線與一第一低電源供應線之間，該第二內部電路耦接於一第二高電源供應線與一第二低電源供應線之間，其中該第一與該第二高電源供應線係彼此隔離且該第一與該第二低電源供應線係彼此隔離，該積體電路包括：

一第一靜電放電保護電路，耦接於該第一高電源供

應線與該第一低電源供應線之間；

一第二靜電放電保護電路，耦接於該第二高電源供應線與該第二低電源供應線之間；

一第三靜電放電保護電路，耦接於該第一高電源供應線與該第二高電源供應線之間，用以當一靜電放電出現在該第一或該第二高電源供應線時，選擇性地連接該第一高電源供應線與該第二高電源供應線，其中該第三靜電放電保護電路至少包括彼此串聯之一第一二極體串與一第一金屬氧化物半導體電晶體，以及一第二二極體串，反向並聯於該第一二極體串與該第一金屬氧化物半導體電晶體，其中當該第一二極體串與該第一金屬氧化物半導體電晶體因靜電放電現象啟動時，形成一寄生矽控整流器，以提供一放電路徑；以及

一第四靜電放電保護電路，耦接於該第一低電源供應線與該第二低電源供應線，用以當一靜電放電出現在該第一或該第二低電源供應線時，選擇性地連接該第一低電源供應線與該第二低電源供應線之間，其中該第四靜電放電保護電路至少包括彼此串聯之一第三二極體串與一第二金屬氧化物半導體電晶體，以及一第四二極體串，反向並聯於該第三二極體串與該第二金屬氧化物半導體電晶體，其中當該第三二極體串與該第二金屬氧化物半導體電晶體因靜電放電現象啟動時，形成一寄生矽控整流器，以提供一放電路徑。

14.如申請專利範圍第 13 項所述之積體電路，其中該第一與該第二金屬氧化物半導體電晶體為 N 型或 P 型

兩者之一。

15.如申請專利範圍第 13 項所述之積體電路，其中該第三靜電放電保護電路之第一與第二二極體串分別至少為一個二極體，且該第四靜電放電保護電路之第三與第四二極體串分別至少為一個二極體。

16.如申請專利範圍第 15 項所述之積體電路，其中該第一與第二二極體串之串聯個數由該第一高電源供應線與該第二高電源供應線之壓差決定。

17.如申請專利範圍第 15 項所述之積體電路，其中該第三與第四二極體串之串聯個數由該第一低電源供應線與該第二低電源供應線之壓差決定。

18.如申請專利範圍第 13 項所述之積體電路，其中該第三靜電放電保護電路更包括一第三金屬氧化物半導體電晶體，與該第二二極體串串聯，該第一與該第三金屬氧化物半導體電晶體分別耦接到該第二與該第一高電源供應線，並且該第四靜電放電保護電路更包括一第四金屬氧化物半導體電晶體，與該第四二極體串串聯，該第二與該第四金屬氧化物半導體電晶體分別耦接到該第二與該第一低電源供應線。

19.如申請專利範圍第 16 項所述之積體電路，其中該第一至該第四金屬氧化物半導體電晶體為 N 型或 P 型兩者之一。

20.如申請專利範圍第 16 項所述之積體電路，更包括：

一 第一輸入靜電放電保護電路，耦接於該第一內部

電路、該第一內部電路之一輸入焊墊、該第一高電源供應線以及該第一低電源供應線之間；以及

一第二輸入靜電放電保護電路，耦接於該第二內部電路、該第二內部電路之一輸入焊墊、該第二高電源供應線以及該第二低電源供應線之間。

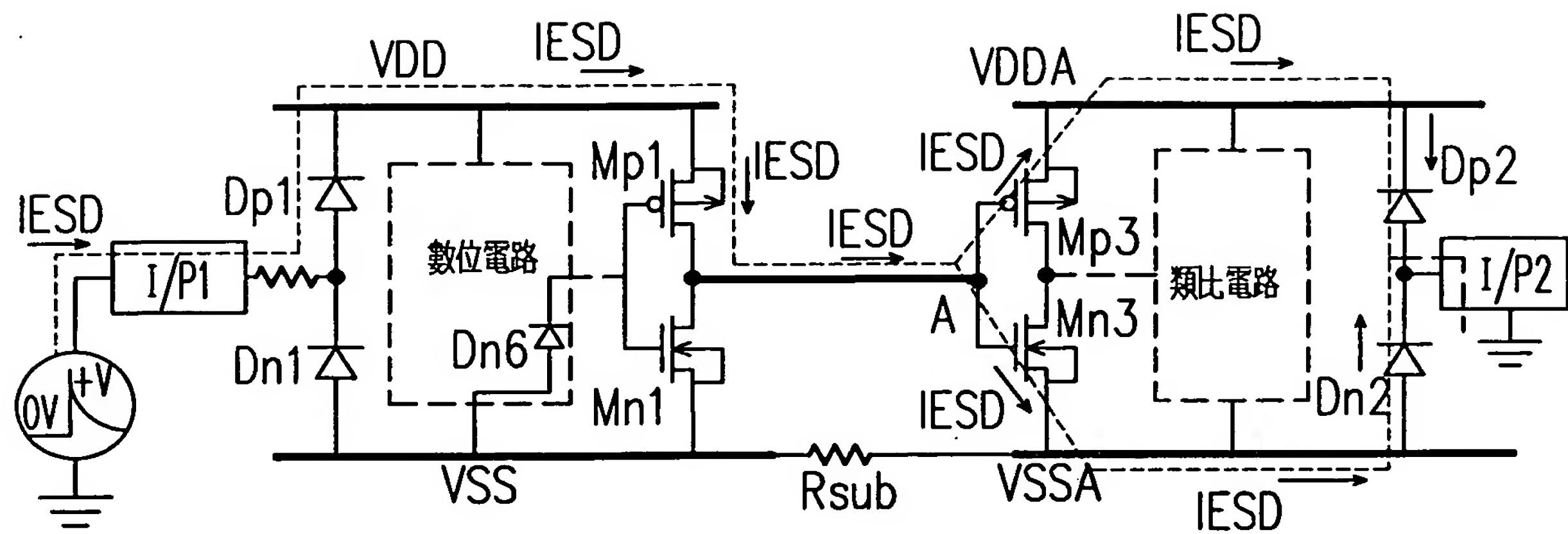


圖 1

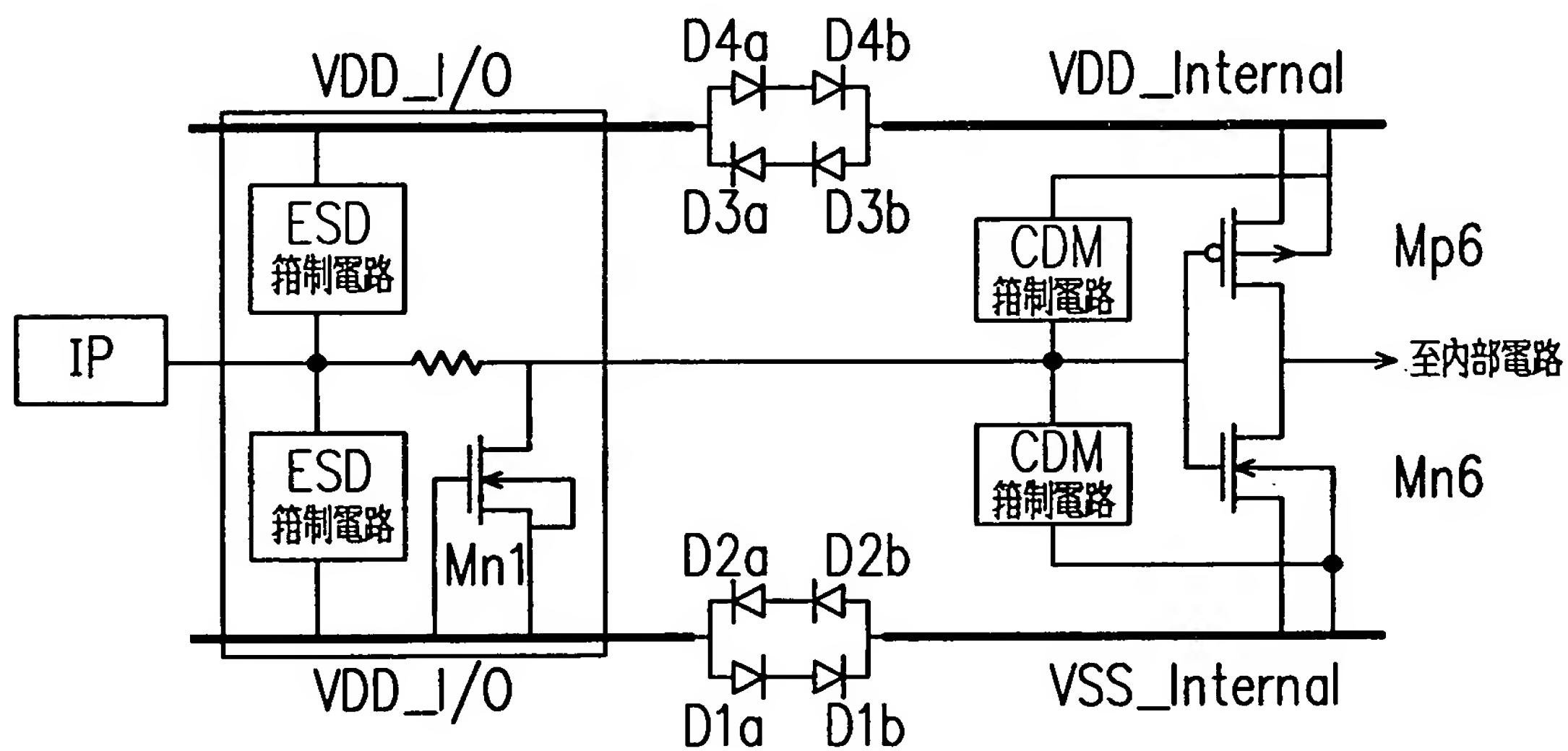


圖 2

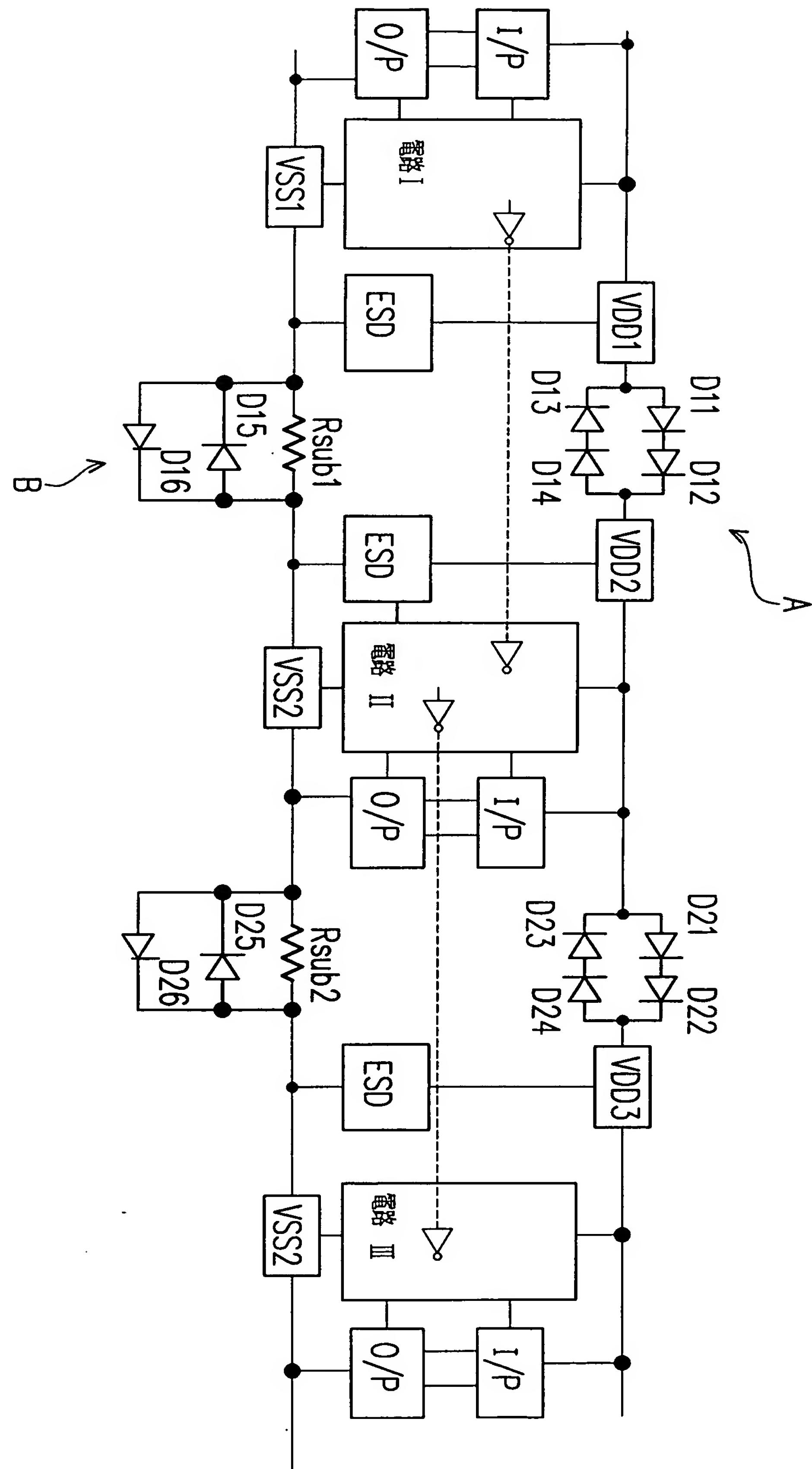


圖 3

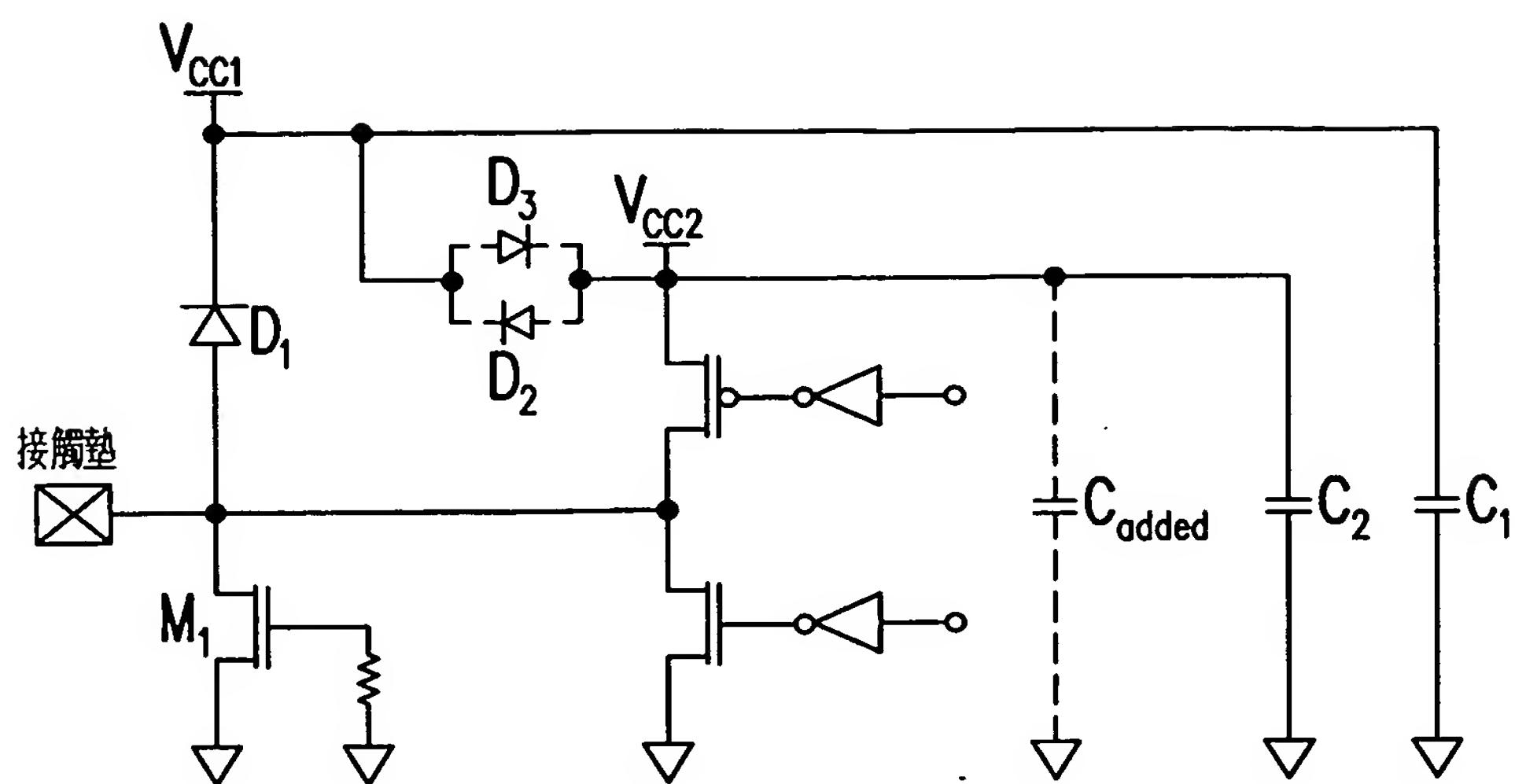


圖 4

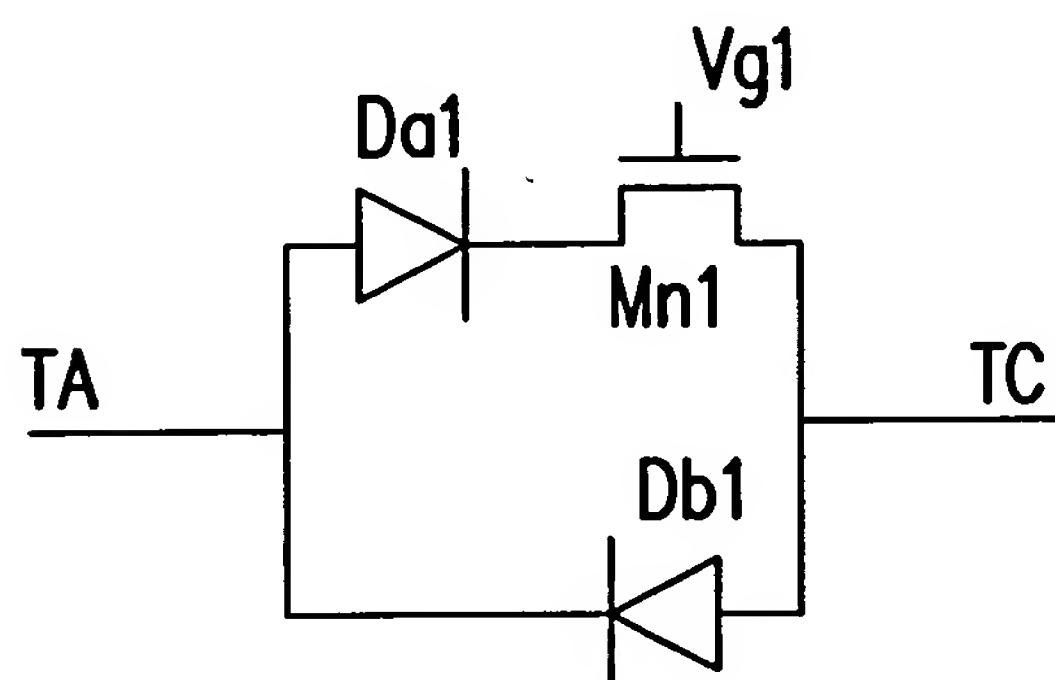


圖 5

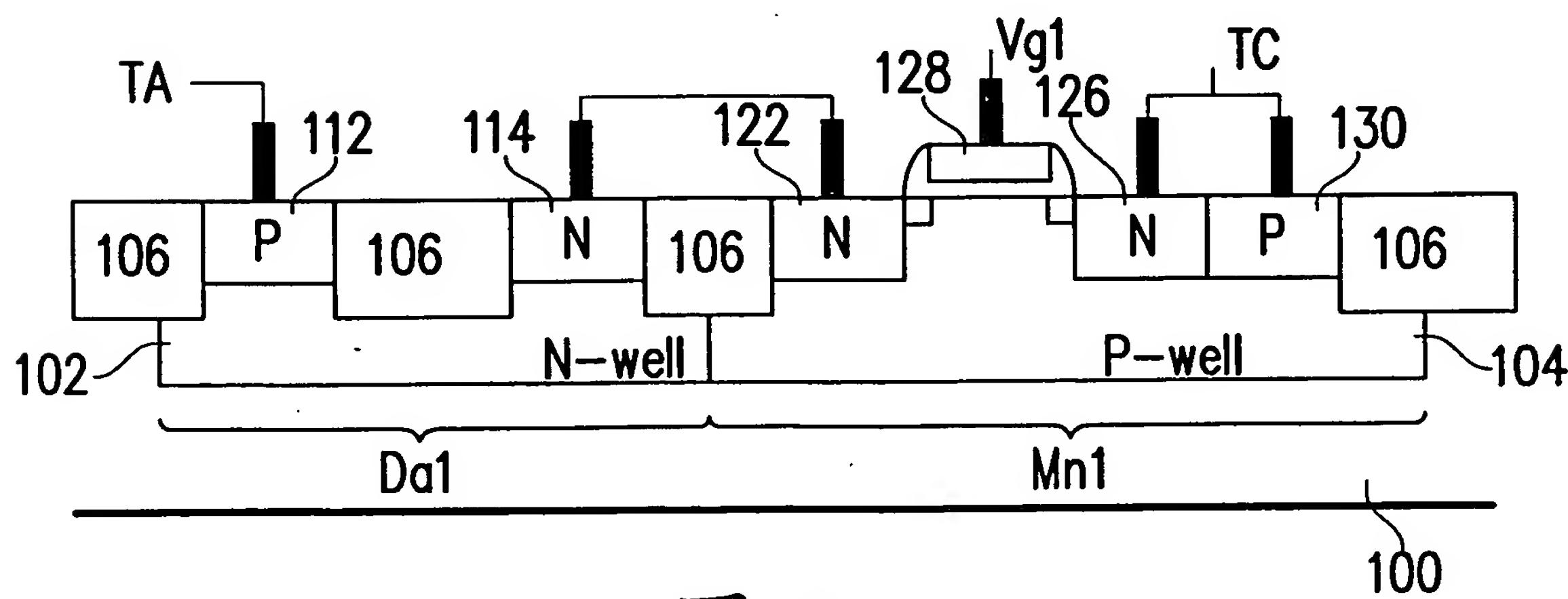


圖 6

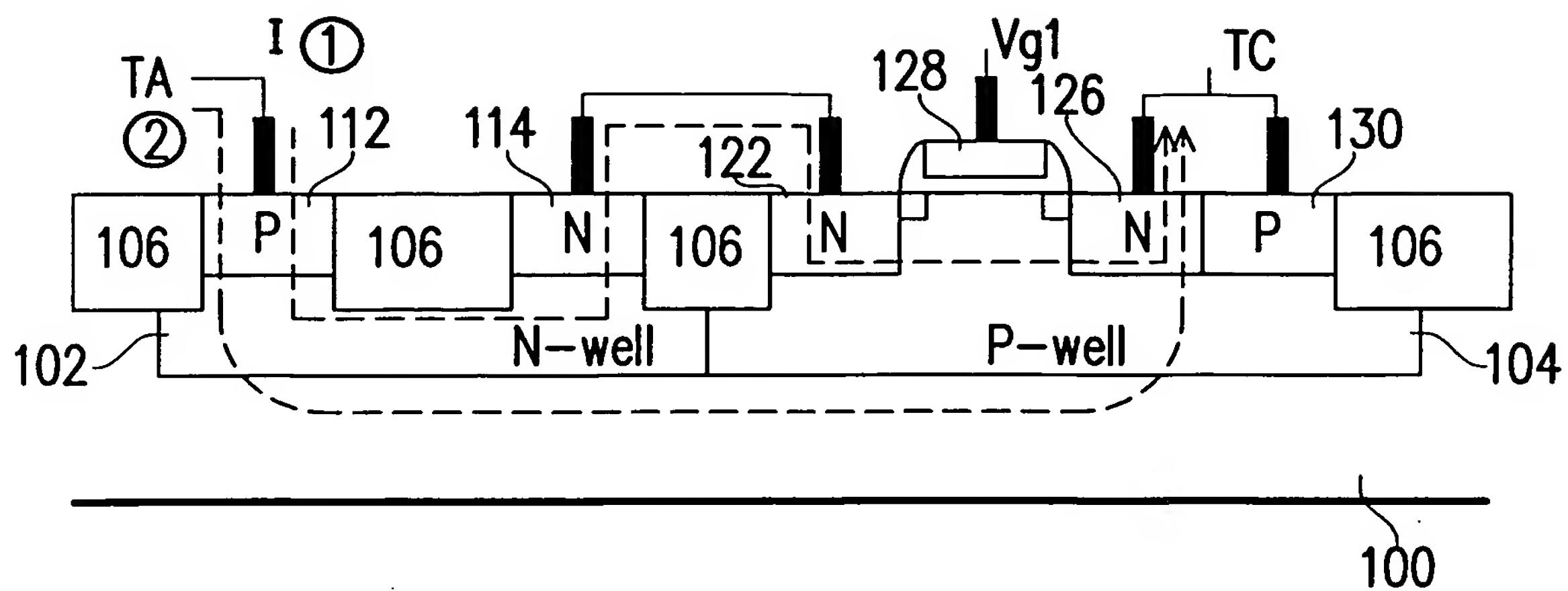


圖 7

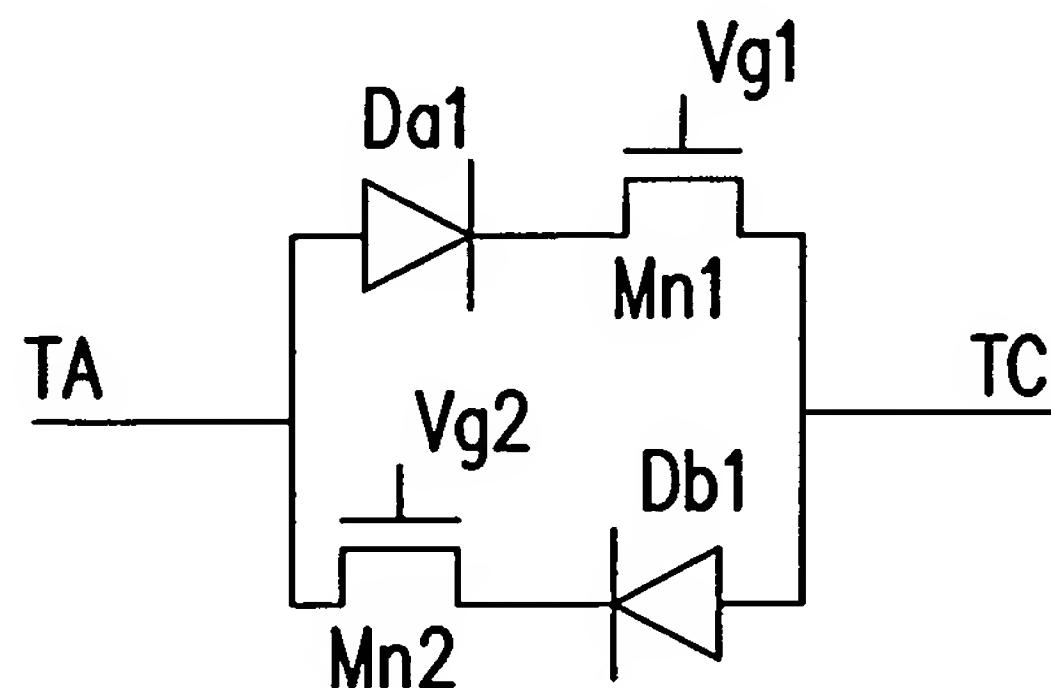
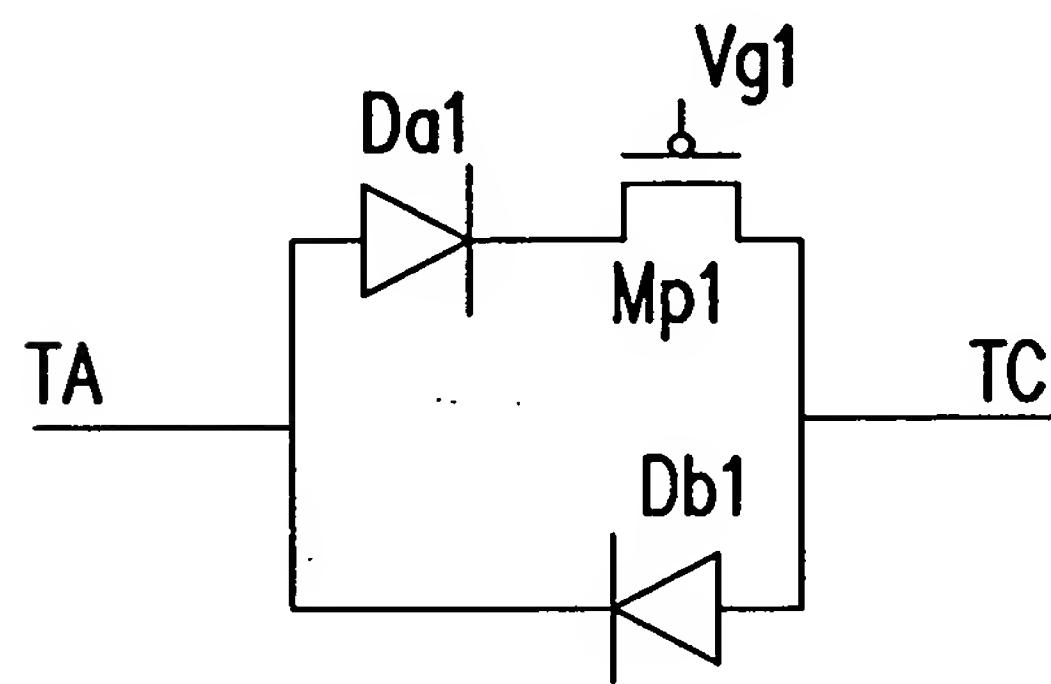


圖 8



9

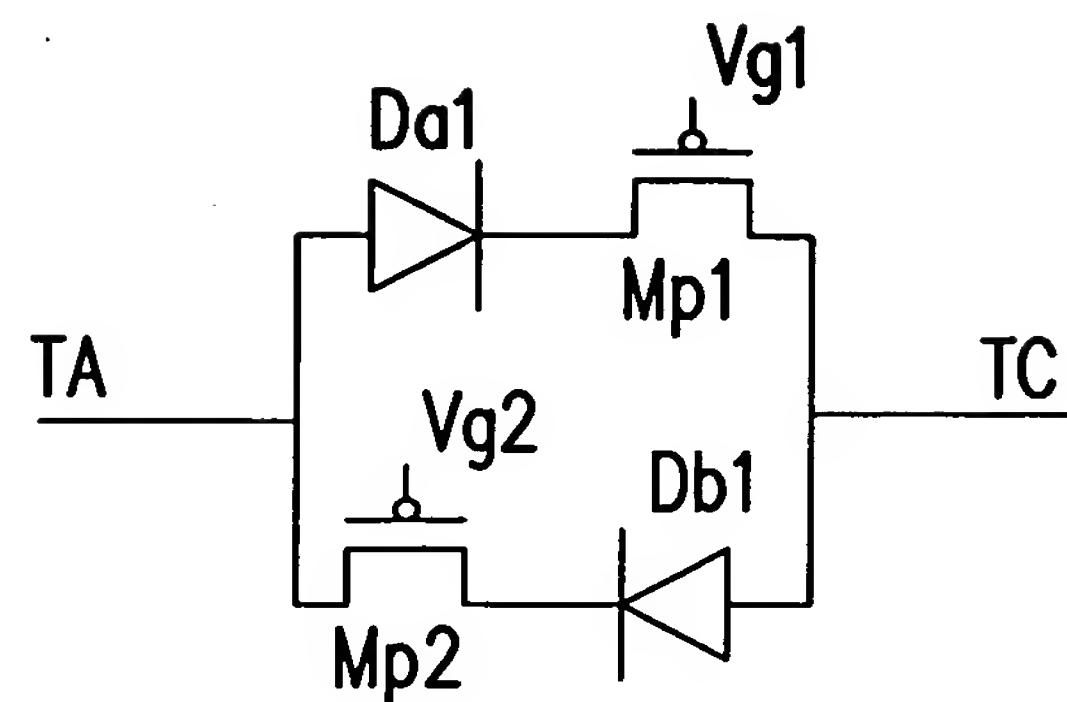


圖 10

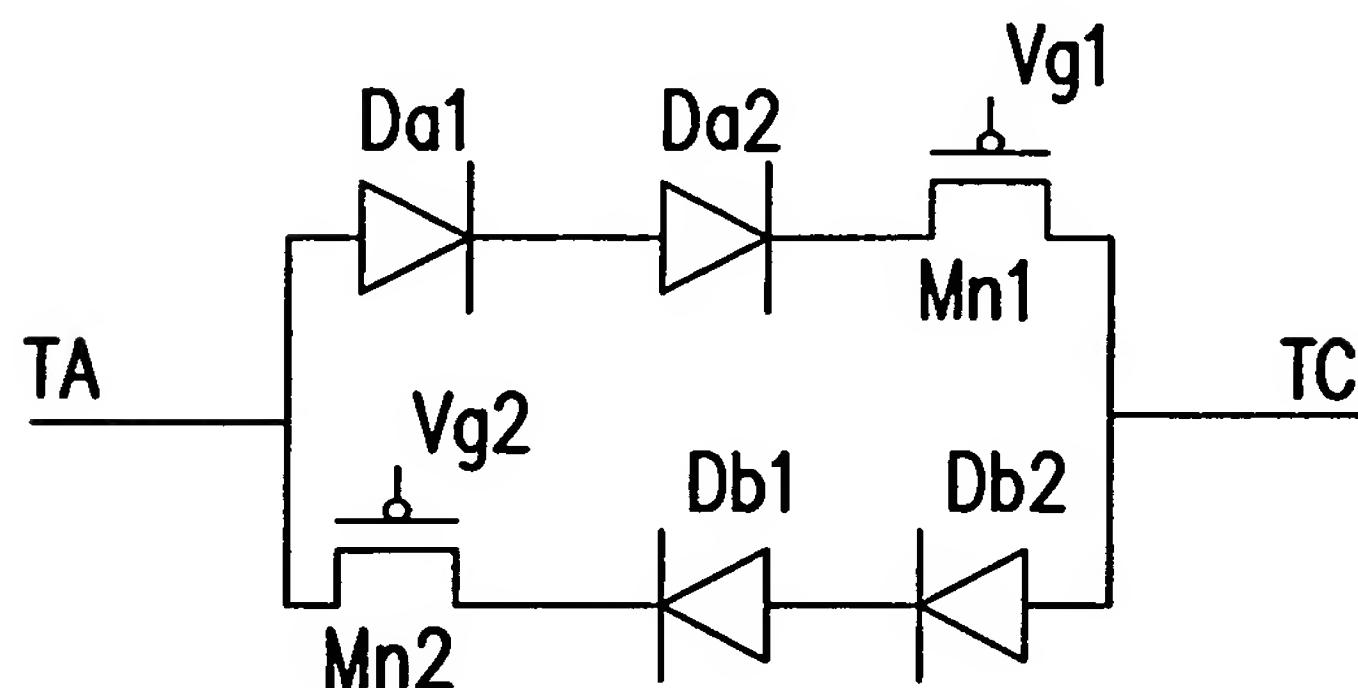


圖 11

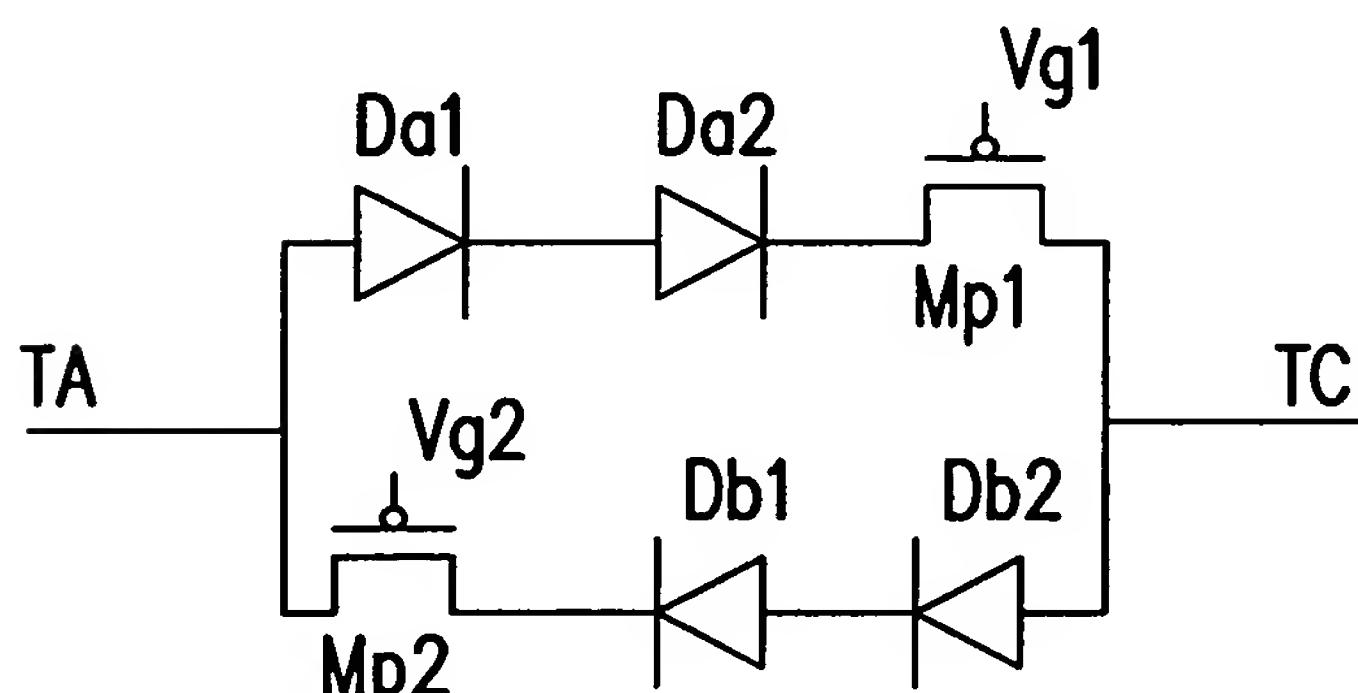


圖 12

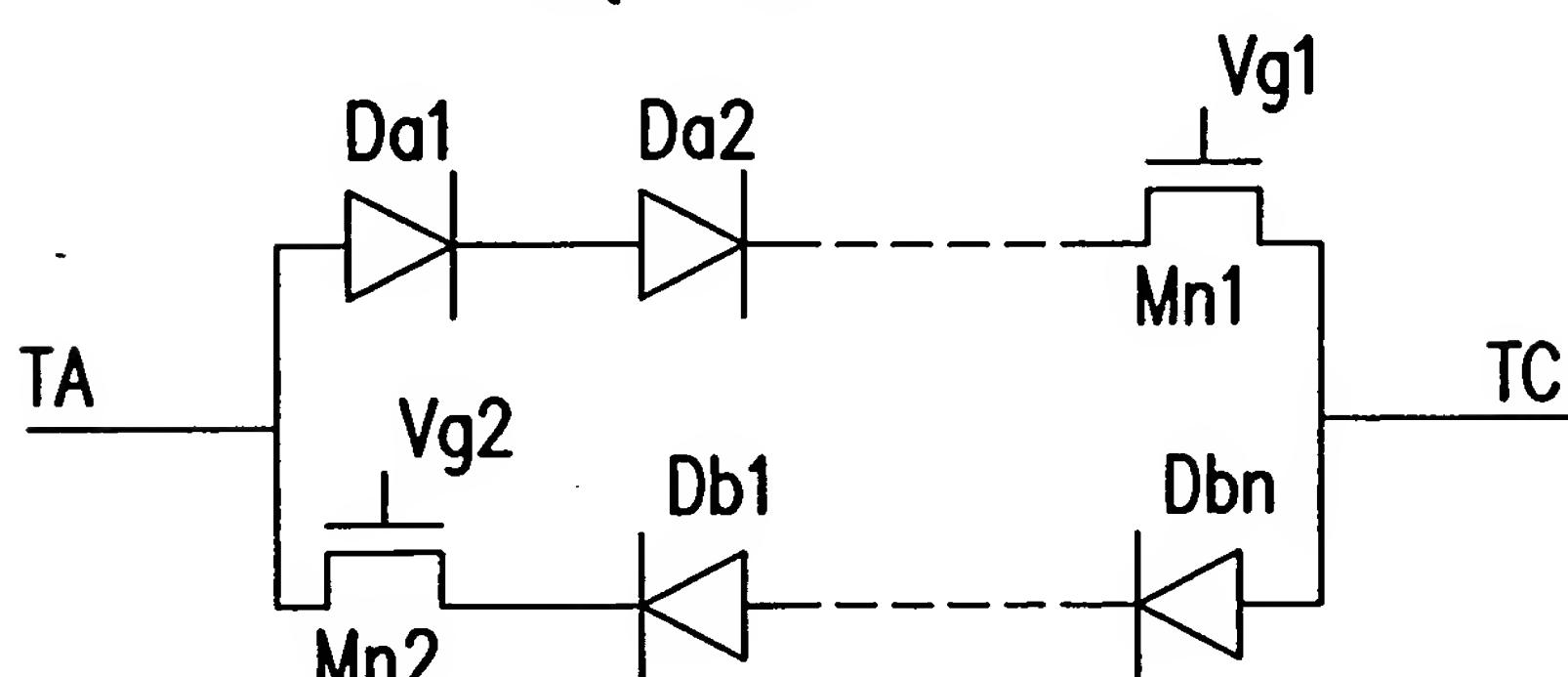


圖 13

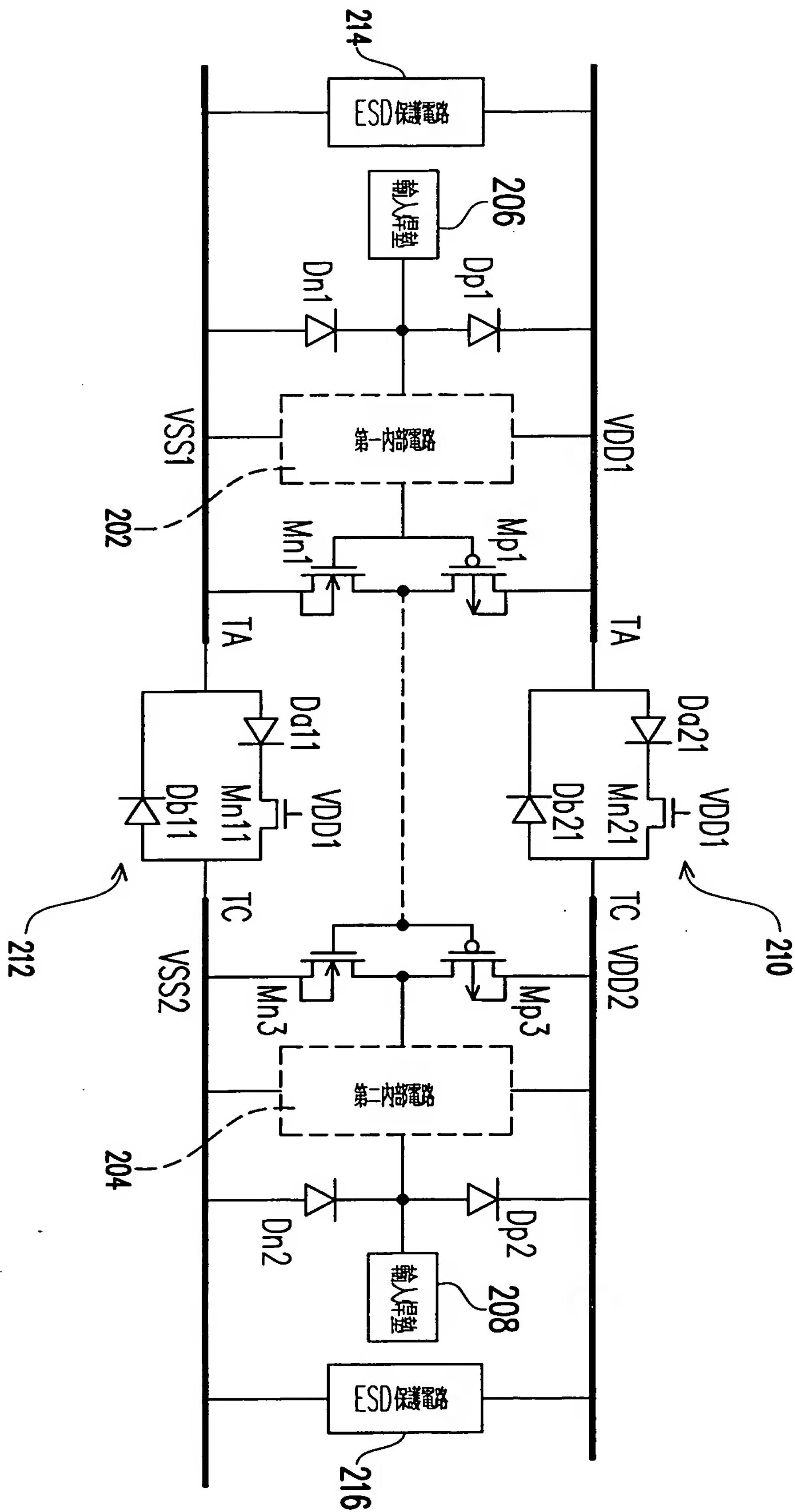


圖 14

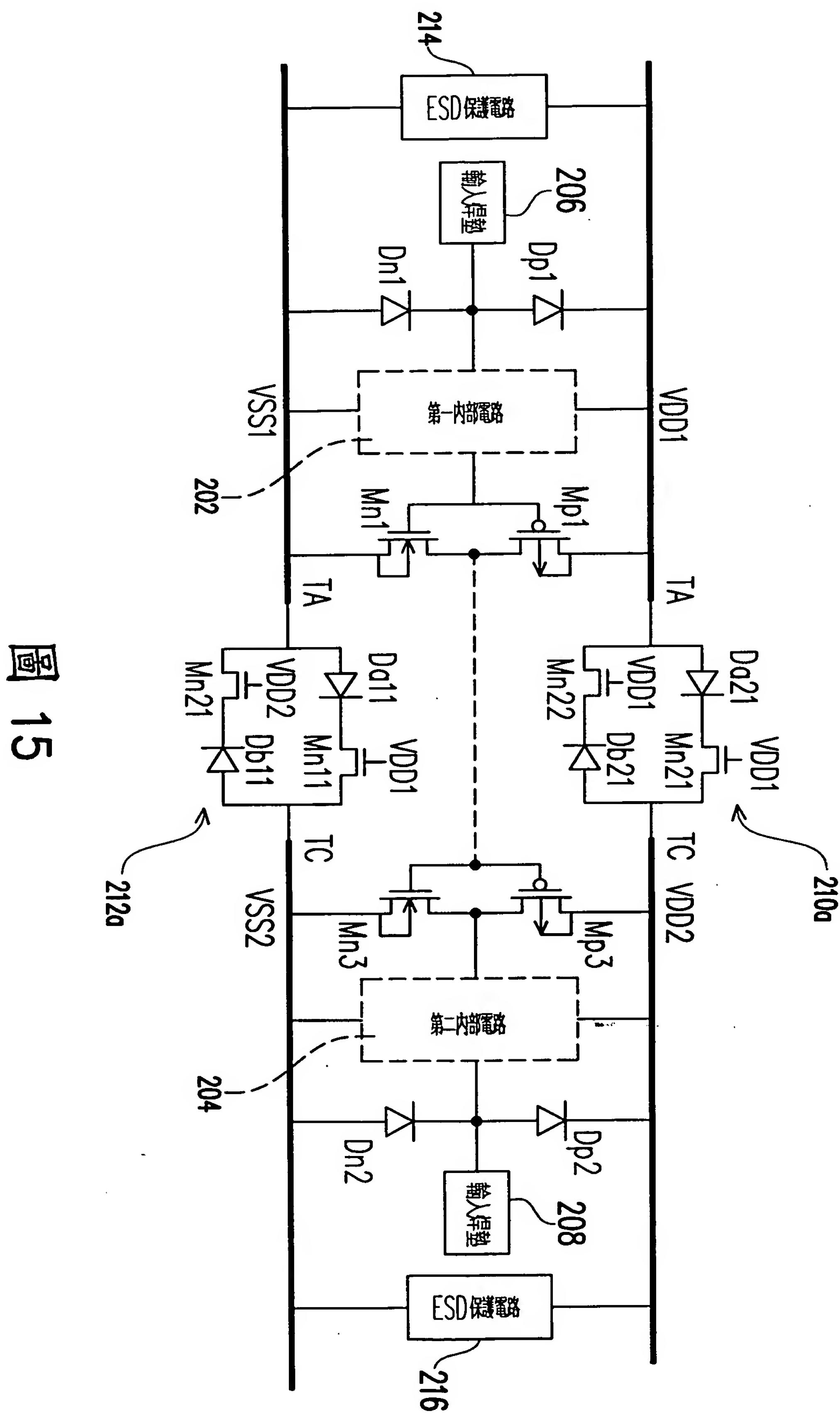
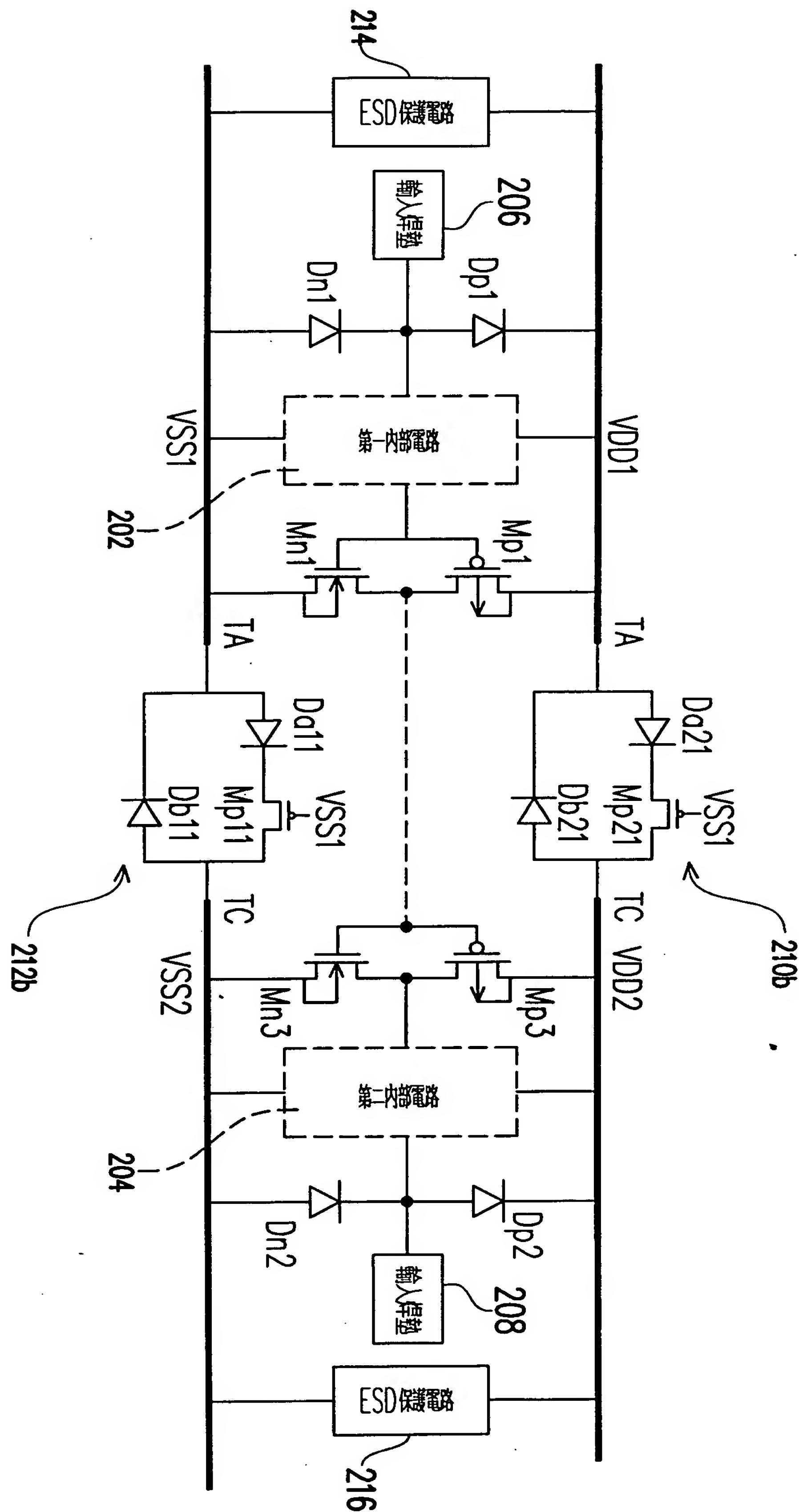


圖 15



四
一
九